

Rec'd PCT/PTO 15 OCT 2004

日 本 国 特 許 庁

JAPAN PATENT OFFICE

PCT/JP 03/04727

14.04.03

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年 4月16日

出 願 番 号

Application Number:

特願2002-113903

[ST.10/C]:

[JP2002-113903]

出 願 人

Applicant(s):

シャープ株式会社

REC'D 06 JUN 2003

WIPO

PCT

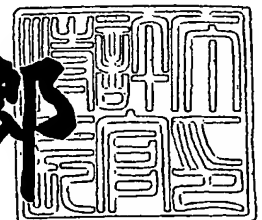
PRIORITY DOCUMENT  
SUBMITTED OR TRANSMITTED IN  
COMPLIANCE WITH  
RULE 17.1(a) OR (b)

BEST AVAILABLE COPY

2003年 5月20日

特 許 庁 長 官  
Commissioner,  
Japan Patent Office

太田 信一郎



出証番号 出証特2003-3036787

【書類名】 特許願

【整理番号】 02J00432

【提出日】 平成14年 4月16日

【あて先】 特許庁長官 殿

【国際特許分類】 G02F 1/133

【発明者】

    【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

    【氏名】 小倉 雅史

【発明者】

    【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

    【氏名】 片岡 義晴

【特許出願人】

    【識別番号】 000005049

    【氏名又は名称】 シャープ株式会社

【代理人】

    【識別番号】 100078282

    【弁理士】

    【氏名又は名称】 山本 秀策

【手数料の表示】

    【予納台帳番号】 001878

    【納付金額】 21,000円

【提出物件の目録】

    【物件名】 明細書 1

    【物件名】 図面 1

    【物件名】 要約書 1

    【包括委任状番号】 9005652

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 液晶表示装置および液晶表示装置におけるアクティブマトリクス基板の製造方法

【特許請求の範囲】

【請求項1】 アクティブマトリックス基板と対向基板との間に液晶を封入した液晶表示装置であって、

該アクティブマトリックス基板上にマトリックス状に形成され、走査信号に応じてそれぞれがオンオフされる複数の薄膜トランジスタと、

各薄膜トランジスタを覆うように該アクティブマトリックス基板上に形成された保護絶縁膜と、

各薄膜トランジスタのオンによって映像信号に対応する電圧を該液晶に印加するために該保護絶縁膜上にそれぞれ形成された複数の画素電極とを具備しており、

各薄膜トランジスタには、該映像信号に対応する該電圧が印加されるソース電極と、該走査信号に応じてオンオフされるゲート電極と、該ゲート電極のオンによって該電圧を各画素電極にそれぞれ供給するドレイン電極とが形成されており、

各画素電極は、該保護絶縁膜に形成されたコンタクトホールを介して各薄膜トランジスタに形成されたドレイン電極とそれぞれ接続しており、

該ドレイン電極は、該コンタクトホールと対向して互いに積層された金属膜と非晶質導電性酸化物とを有することを特徴とする液晶表示装置。

【請求項2】 前記非晶質導電性酸化物は、酸化インジウムと酸化亜鉛とを主成分とする酸化物である、請求項1記載の液晶表示装置。

【請求項3】 前記金属膜は、モリブデンによって構成されている、請求項1記載の液晶表示装置。

【請求項4】 前記非晶質導電性酸化物は、前記金属膜に対して前記コンタクトホール側に形成されている、請求項1記載の液晶表示装置。

【請求項5】 前記非晶質導電性酸化物は、前記金属膜に対して前記アクティブマトリックス基板側に形成されている、請求項1記載の液晶表示装置。

【請求項 6】 アクティブマトリックス基板と対向基板との間に液晶を封入した液晶表示装置におけるアクティブマトリックス基板の製造方法であって、

該アクティブマトリックス基板上にゲート電極を形成するゲート電極形成工程と、

該ゲート電極を覆うように該アクティブマトリックス基板上にゲート絶縁膜を形成するゲート絶縁膜形成工程と、

該ゲート電極の上に該ゲート絶縁膜を介して半導体層を形成する半導体層形成工程と、

該半導体層の上に  $n + Si$  層を形成する  $n + Si$  層形成工程と、

該  $n + Si$  層の表面の一端と該  $n + Si$  層および該半導体層の一方の側面とを覆うようにして該ゲート絶縁膜の上にソース電極を形成するとともに、該  $n + Si$  層の表面の他の一端と該  $n + Si$  層および該半導体層の他方の側面とを覆うようにして該ゲート絶縁膜の上にドレイン電極を形成する電極形成工程と、

該ソース電極と該ドレイン電極と該  $n + Si$  層の表面の一部とを覆うようにして該ゲート絶縁膜上に保護絶縁膜を形成する保護絶縁膜形成工程と、

該保護絶縁膜を貫通して該ドレイン電極の表面に到達するコンタクトホールを該保護絶縁膜に形成するコンタクトホール形成工程と、

該コンタクトホールを通して該ドレイン電極の表面と接続する画素電極を該保護絶縁膜上に形成する画素電極形成工程とを包含しており、

該電極形成工程は、該コンタクトホールに対向して金属膜と非晶質導電性酸化物とを互いに積層することによって該ドレイン電極を形成することを特徴とする液晶表示装置におけるアクティブマトリックス基板の製造方法。

#### 【発明の詳細な説明】

##### 【0001】

#### 【発明の属する技術分野】

本発明は、アクティブマトリックス基板を使用する液晶表示装置および液晶表示装置に使用されるアクティブマトリックス基板の製造方法に関する。

##### 【0002】

#### 【従来の技術】

アクティブマトリックス基板を使用する液晶表示装置は、アクティブマトリックス基板と対向基板との間に液晶を封入し、映像信号に対応する電圧を走査信号に応じてオンオフして液晶に印加することによって、映像信号によって表される映像を表示する。

【 0 0 0 3 】

図 1 2 は、従来の液晶表示装置を構成するアクティブマトリックス基板ユニットを模式的に示す平面図である。アクティブマトリックス基板ユニットは、アクティブマトリックス基板 8 1 を備えている。アクティブマトリックス基板 8 1 上には、映像信号に対応する電圧を走査信号に応じてオンオフして液晶に印加するために形成された薄膜トランジスタ（以下「TFT」ともいう）8 2 がマトリックス状に設けられている。

【 0 0 0 4 】

アクティブマトリックス基板 8 1 上には、各薄膜トランジスタ 8 2 に対して映像信号に対応する電圧をそれぞれ印加するためのソース信号線 1 2 が、列方向に沿って配置された各薄膜トランジスタ 8 2 に沿って所定の間隔を空けて互いに平行に設けられており、各薄膜トランジスタ 8 2 に対して走査信号に対応する電圧をそれぞれ印加するためのゲート信号線 1 1 が、行方向に沿って配置された各薄膜トランジスタ 8 2 に沿って所定の間隔を空けて互いに平行に設けられている。

【 0 0 0 5 】

各ソース信号線 1 2 には、各ソース信号線 1 2 に映像信号をそれぞれ供給するためのソースドライバ 1 4 がそれぞれ接続されており、各ゲート信号線 1 1 には、各ゲート信号線 1 1 に走査信号をそれぞれ供給するためのゲートドライバ 1 3 がそれぞれ接続されている。

【 0 0 0 6 】

各薄膜トランジスタ 8 2 には、ソース電極 8 5 とゲート電極 6 とドレイン電極 8 7 とが設けられている。各ソース電極 8 5 には、ソースドライバ 1 4 から映像信号が供給されるソース信号線 1 2 がそれぞれ接続されており、各ゲート電極 6 には、ゲートドライバ 1 3 から走査信号が印加されるゲート信号線 1 1 がそれぞれ接続されている。各ドレイン電極 8 7 には、画素容量を形成する画素電極 4 の

一方の端子がそれぞれ接続されている。各画素電極4の他方の端子は、図示しない対向基板上に設けられた対向電極に接続されている。

## 【0007】

図13は、従来のアクティブマトリックス基板ユニットの要部の構造を示す平面図である。図14は、図13に示す線PPに沿った断面図であり、薄膜トランジスタ82と薄膜トランジスタ82に接続された画素電極4との断面構造を示している。図15は、図13に示す線QQに沿った断面図であり、ゲートドライバ13と接続されるゲート信号線11の一端における断面構造を示している。

## 【0008】

アクティブマトリックス基板81は、透明絶縁性基板によって構成されている。各薄膜トランジスタ82を構成するゲート電極6とゲート電極6に接続されたゲート信号線11とは、アクティブマトリックス基板81上に形成されている。アクティブマトリックス基板81上には、ゲート絶縁膜17が、ゲート電極6とゲート信号線11の両端部とを覆うように形成されている。

## 【0009】

ゲート電極6の上には、ゲート絶縁膜17を介して半導体層15が形成されており、半導体層15の上には、n+シリコン(Si)層16が、半導体層15と整合するように形成されている。

## 【0010】

ソース信号線12に接続されるソース電極85は、n+Si層16の表面の一部とn+Si層16および半導体層15の側面とを覆うようにしてゲート絶縁膜17の一部の上に形成されている。ドレイン電極87は、n+Si層16の表面の他の一部とn+Si層16および半導体層15の他の側面とを覆うようにしてゲート絶縁膜17の他の一部の上に形成されている。ソース電極85とドレイン電極87とは、n+Si層16の表面において所定の間隔を空けて形成されている。ゲート電極6、半導体層15、n+Si層16、ソース電極85およびドレイン電極87によって薄膜トランジスタ82が構成されている。

## 【0011】

液晶表示装置を大型化し、高精細度化するためには、ゲート信号線11、ソー

ス信号線12、ゲート電極6、ソース電極85およびドレイン電極87の抵抗を低くする必要がある。このため、これらの信号線および電極は、通常、抵抗が低く、加工することが容易な金属材料によって構成される。

#### 【0012】

ゲート信号線11、ソース信号線12、ゲート電極6、ソース電極85およびドレイン電極87を構成するための一般的な材料としては、Al、Mo、Ti、Ta等を挙げることができる。Moは、抵抗が比較的低く、かつシュウ酸等の弱酸を用いたエッチングによってパターン加工をすることが容易だからであるため、ソース信号線12、ソース電極85およびドレイン電極87にはMoを用いた。前述した材料の中で比抵抗が最も小さい材料は、Alである。しかし、Alはn+Si層16と良好なコンタクトを直接とることができないために、ソース電極85およびドレイン電極87を単層のAlによって構成することはできない。Alをソース信号線に用いる場合には、Al/Ti、Al/Mo等の積層構造が必要となる。Tiは、Al、Moよりも比抵抗が高いために、大型パネルの配線材料として単層で使用することは難しい。Taも同様に比抵抗が高いために、単層で使用することは難しい。

#### 【0013】

ゲート絶縁膜17の上には、薄膜トランジスタ82を保護するための保護絶縁膜3がソース電極85とドレイン電極87とn+Si層16の表面のさらに他の一部とを覆うように形成されている。保護絶縁膜3には、ドレイン電極87に到達するように保護絶縁膜3を貫通するコンタクトホール8が形成されている。画素電極4は、コンタクトホール8を通してドレイン電極87と接続するように保護絶縁膜3上に形成されている。画素電極4は、透明なITOによって構成されている。

#### 【0014】

このようにゲート電極6、半導体層15、n+Si層16、ソース電極85およびドレイン電極87によって構成される薄膜トランジスタ82を形成した後に、薄膜トランジスタ82を覆うように保護絶縁膜3を形成し、保護絶縁膜3の上に画素電極4を形成する構成は、透過型TFT液晶表示装置の主流となる構成で

ある。その理由は、以下に述べるとおりである。保護絶縁膜 3 の上に形成された画素電極 4 は、保護絶縁膜 3 の下に形成されたソース電極 85 に接続されたソース信号線 12 と電氣的に短絡することがないために、画素電極 4 をソース信号線 12 と同一の層に形成する場合よりも、画素電極 4 の面積を広くすることができるからである。

#### 【0015】

図 15 に示すように、ゲート信号線 11 の表面の両端部を除いた領域には、ゲート信号線 11 が酸化して高抵抗化することを防止するための酸化防止膜 18 が、ゲート絶縁膜 17 および保護絶縁膜 3 の側面および保護絶縁膜 3 の表面の一部を覆うように形成されている。酸化防止膜 18 は、画素電極 4 を構成する材料と同じ材料である透明な ITO によって構成されている。

#### 【0016】

このように構成された従来のアクティブマトリクス基板ユニットは、以下のようにして製造される。まず、透明絶縁性基板によって構成されるアクティブマトリクス基板 81 上にゲート信号線 11 およびゲート電極 6 を構成する材料をスパッタ法等によって成膜する。そして、マスク露光、現像およびドライエッチングによってゲート信号線 11 およびゲート電極 6 を所定のパターンに形成する。

#### 【0017】

次に、ゲート信号線 11 およびゲート電極 6 を覆うようにゲート絶縁膜 17 を CVD 法によってアクティブマトリクス基板 81 上に成膜する。その後、ゲート絶縁膜 17 の上に半導体層 15 と n+Si 層 16 とを CVD 法によって成膜し、マスク露光、現像およびドライエッチングによって所定のパターンに形成する。そして、ソース信号線 12、ソース電極 85 およびドレイン電極 87 を構成する材料である Mo を、半導体層 15 と n+Si 層 16 とを覆うようにゲート絶縁膜 17 上に成膜し、マスク露光、現像およびドライエッチングによって所定のパターンに形成する。次に、ソース電極 85 とドレイン電極 87 との間の Mo をドライエッチングすることによって、チャンネルを形成する。

#### 【0018】



そして、ゲート絶縁膜 17 の上に、保護絶縁膜 3 を、ソース電極 85 とドレイン電極 87 と  $n+Si$  層 16 の表面のさらに他の一部とを覆うように形成する。次に、 $CF_4$  と  $O_2$  との混合ガスを使用して、ドレイン電極 87 の上の保護絶縁膜 3 をドライエッチングしてコンタクトホール 8 を形成し、同時にゲート信号線 11 の上方に形成された保護絶縁膜 3 をドライエッチングする。さらに、ゲート信号線 11 の上に形成されたゲート絶縁膜 17 を連続してドライエッチングしてゲート信号線 11 の表面の一部を露出させる。その後、ゲート信号線 11 の表面の一部、ゲート絶縁膜 17 および保護絶縁膜 3 の側面および保護絶縁膜 3 の表面の一部を覆うように ITO を成膜し、マスク露光、現像およびエッチングによって酸化防止膜 18 を形成する。

## 【0019】

## 【発明が解決しようとする課題】

しかしながら、前述したようにドレイン電極 87 を Mo によって構成すると、以下に示すような問題が生じる。

## 【0020】

図 15 を参照して前述したように、ゲートドライバ 13 に接続されるゲート信号線 11 の一端において、ゲート信号線 11 の上方に形成された保護絶縁膜 3 をドライエッチングし、さらに、ゲート信号線 11 の上に形成されたゲート絶縁膜 17 を連続してドライエッチングしてゲート信号線 11 の表面の一部を露出させる。さらに、図 14 を参照して前述したように、薄膜トランジスタ 82 と薄膜トランジスタ 82 に接続された画素電極 4 とが形成される領域において、ドレイン電極 87 の上の保護絶縁膜 3 をドライエッチングしてコンタクトホール 8 を形成する。

## 【0021】

ドライエッチングによって形成されるコンタクトホール 8 は、製造プロセスを短縮するために、保護絶縁膜 3 とゲート絶縁膜 17 とを連続してドライエッチングする工程と同一の工程において形成される。

## 【0022】

図 16 は、従来の液晶表示装置を構成する他のアクティブマトリックス基板の

要部の構造を示しており、図13に示す線PPに沿った断面図である。前述したように保護絶縁膜3とゲート絶縁膜17とを連続してドライエッチングする工程と同一の工程においてコンタクトホール8を形成すると、ドライエッチングにおいて $CF_4$ と $O_2$ との混合ガスを使用するために、 $SiN_x$ によって構成される保護絶縁膜3とMoによって構成されるドレイン電極87とエッチング選択比が不十分となる。このため、図16に示すように、保護絶縁膜3のみならずMoによって構成されるドレイン電極87およびゲート絶縁膜17の一部もエッチングされるので、保護絶縁膜3のみならずドレイン電極87をも貫通し、ゲート絶縁膜17の内部に到達するコンタクトホール88が形成される。その結果、画素電極4は、ドレイン電極87の断面においてドレイン電極87とコンタクトすることになり、画素電極4がドレイン電極87と十分にコンタクトがとれなくなるという問題がある。

#### 【0023】

Moによって構成されるドレイン電極87を形成した後に、ドレイン電極87の上にITOを成膜して保護膜とし、保護膜の上に保護絶縁膜3を形成して、マスク露光、現像およびドライエッチングによって保護絶縁膜3にコンタクトホールを形成すると、保護膜がドライエッチングに対してドレイン電極87を保護するため、保護絶縁膜3のみならずMoによって構成されるドレイン電極87もエッチングされることはない。しかしながら、このようにドレイン電極87の上にITOを成膜して保護膜を形成すると、コストおよびプロセスが増加するという問題がある。

#### 【0024】

本発明は、係る問題を解決するためになされたものであり、その目的は、コストおよびプロセスを増加させることなく、画素電極とドレイン電極との間における安定したコンタクトを得ることができる液晶表示装置および液晶表示装置におけるアクティブマトリクス基板の製造方法を提供することにある。

#### 【0025】

##### 【課題を解決するための手段】

本発明に係る液晶表示装置は、アクティブマトリックス基板と対向基板との間

に液晶を封入した液晶表示装置であって、該アクティブマトリックス基板上にマトリックス状に形成され、走査信号に応じてそれぞれがオンオフされる複数の薄膜トランジスタと、各薄膜トランジスタを覆うように該アクティブマトリックス基板上に形成された保護絶縁膜と、各薄膜トランジスタのオンによって映像信号に対応する電圧を該液晶に印加するために該保護絶縁膜上にそれぞれ形成された複数の画素電極とを具備しており、各薄膜トランジスタには、該映像信号に対応する該電圧が印加されるソース電極と、該走査信号に応じてオンオフされるゲート電極と、該ゲート電極のオンによって該電圧を各画素電極にそれぞれ供給するドレイン電極とが形成されており、各画素電極は、該保護絶縁膜に形成されたコンタクトホールを介して各薄膜トランジスタに形成されたドレイン電極とそれぞれ接続しており、該ドレイン電極は、該コンタクトホールと対向して互いに積層された金属膜と非晶質導電性酸化物とを有することを特徴とし、そのことにより上記目的が達成される。

## 【0026】

前記非晶質導電性酸化物は、酸化インジウムと酸化亜鉛とを主成分とする酸化物であってもよい。

## 【0027】

前記金属膜は、モリブデンによって構成されていてもよい。

## 【0028】

前記非晶質導電性酸化物は、前記金属膜に対して前記コンタクトホール側に形成されていてもよい。

## 【0029】

前記非晶質導電性酸化物は、前記金属膜に対して前記アクティブマトリックス基板側に形成されていてもよい。

## 【0030】

本発明に係る液晶表示装置におけるアクティブマトリックス基板の製造方法は、アクティブマトリックス基板と対向基板との間に液晶を封入した液晶表示装置におけるアクティブマトリックス基板の製造方法であって、該アクティブマトリックス基板上にゲート電極を形成するゲート電極形成工程と、該ゲート電極を覆うよ

うに該アクティブマトリックス基板上にゲート絶縁膜を形成するゲート絶縁膜形成工程と、該ゲート電極の上に該ゲート絶縁膜を介して半導体層を形成する半導体層形成工程と、該半導体層の上に  $n + Si$  層を形成する  $n + Si$  層形成工程と、該  $n + Si$  層の表面の一端と該  $n + Si$  層および該半導体層の一方の側面とを覆うようにして該ゲート絶縁膜の上にソース電極を形成するとともに、該  $n + Si$  層の表面の他の一端と該  $n + Si$  層および該半導体層の他方の側面とを覆うようにして該ゲート絶縁膜の上にドレイン電極を形成する電極形成工程と、該ソース電極と該ドレイン電極と該  $n + Si$  層の表面の一部とを覆うようにして該ゲート絶縁膜上に保護絶縁膜を形成する保護絶縁膜形成工程と、該保護絶縁膜を貫通して該ドレイン電極の表面に到達するコンタクトホールを該保護絶縁膜に形成するコンタクトホール形成工程と、該コンタクトホールを通して該ドレイン電極の表面と接続する画素電極を該保護絶縁膜上に形成する画素電極形成工程とを包含しており、該電極形成工程は、該コンタクトホールに対向して金属膜と非晶質導電性酸化物とを互いに積層することによって該ドレイン電極を形成することを特徴とし、そのことにより上記目的が達成される。

#### 【 0 0 3 1 】

##### 【発明の実施の形態】

本実施の形態に係る液晶表示装置には、画素電極との間において安定したコンタクトを得ることができる構成を有するドレイン電極が設けられている。

#### 【 0 0 3 2 】

図 1 は、本実施の形態に係る液晶表示装置を構成するアクティブマトリックス基板ユニットを模式的に示す平面図である。アクティブマトリックス基板ユニットは、アクティブマトリックス基板 1 を備えている。アクティブマトリックス基板 1 上には、映像信号に対応する電圧を走査信号に応じてオンオフして液晶に印加するために形成された薄膜トランジスタ 2 がマトリックス状に設けられている。

#### 【 0 0 3 3 】

アクティブマトリックス基板 1 上には、各薄膜トランジスタ 2 に対して映像信号に対応する電圧をそれぞれ印加するためのソース信号線 1 2 が、列方向に沿っ

て配置された各薄膜トランジスタ 2 に沿って所定の間隔を空けて互いに平行に設けられており、各薄膜トランジスタ 2 に対して走査信号に対応する電圧をそれぞれ印加するためのゲート信号線 11 が、行方向に沿って配置された各薄膜トランジスタ 2 に沿って所定の間隔を空けて互いに平行に設けられている。

## 【0034】

各ソース信号線 12 には、各ソース信号線 12 に映像信号をそれぞれ供給するためのソースドライバ 14 がそれぞれ接続されており、各ゲート信号線 11 には、各ゲート信号線 11 に走査信号をそれぞれ供給するためのゲートドライバ 13 がそれぞれ接続されている。

## 【0035】

各薄膜トランジスタ 2 には、ソース電極 5 とゲート電極 6 とドレイン電極 7 とが設けられている。各ソース電極 5 には、ソースドライバ 14 から映像信号が供給されるソース信号線 12 がそれぞれ接続されており、各ゲート電極 6 には、ゲートドライバ 13 から走査信号が供給されるゲート信号線 11 がそれぞれ接続されている。各ドレイン電極 7 には、画素容量を形成する画素電極 4 の一方の端子がそれぞれ接続されている。各画素電極 4 の他方の端子は、図示しない対向基板上に設けられた対向電極に接続されている。

## 【0036】

図 2 は、本実施の形態に係るアクティブマトリクス基板ユニットの要部の構造を示す平面図である。図 3 は、図 2 に示す線 A A に沿った断面図であり、薄膜トランジスタ 2 と薄膜トランジスタ 2 に接続された画素電極 4 との断面構造を示している。図 4 は、図 2 に示す線 B B に沿った断面図であり、ゲートドライバ 13 と接続されるゲート信号線 11 の一端における断面構造を示している。

## 【0037】

アクティブマトリクス基板 1 は、透明絶縁性基板によって構成されている。各薄膜トランジスタ 2 を構成するゲート電極 6 とゲート電極 6 に接続されたゲート信号線 11 とは、アクティブマトリクス基板 1 上に形成されている。ゲート電極 6 およびゲート信号線 11 は、 $TaN/Ta/TaN$  によって構成されている。アクティブマトリクス基板 1 上にはゲート電極 6 とゲート信号線 11 の両

端部とを覆うように、ゲート絶縁膜 17 が形成されている。

## 【0038】

ゲート電極 6 の上には、ゲート絶縁膜 17 を介して半導体層 15 が形成されており、半導体層 15 の上には、 $n+$ シリコン (Si) 層 16 が半導体層 15 と整合するように形成されている。

## 【0039】

ソース信号線 12 に接続されるソース電極 5 は、 $n+$ Si 層 16 の表面の一端と  $n+$ Si 層 16 および半導体層 15 の側面とを覆うようにしてゲート絶縁膜 17 の一部の上に形成されている。ドレイン電極 7 は、 $n+$ Si 層 16 の表面の他の一端と  $n+$ Si 層 16 および半導体層 15 の他の側面とを覆うようにしてゲート絶縁膜 17 の他の一部の上に形成されている。ソース電極 5 とドレイン電極 7 とは、 $n+$ Si 層 16 の表面において所定の間隔を空けて形成されている。ゲート電極 6、半導体層 15、 $n+$ Si 層 16、ソース電極 5 およびドレイン電極 7 によって薄膜トランジスタ 82 が構成されている。

## 【0040】

ドレイン電極 7 は、Mo 層 9 と、Mo 層 9 の上に積層された IZO 層 10 とによって構成されている。IZO 層 10 は、酸化インジウムと酸化亜鉛とを主成分とする非晶質導電性酸化物  $In-Zn-O$  によって構成されている。ソース電極 5 およびソース信号線 12 もドレイン電極 7 と同様に、Mo 層 9 と、Mo 層 9 の上に積層された IZO 層 10 とによって構成されている。

## 【0041】

ゲート絶縁膜 17 の上には、薄膜トランジスタ 2 を保護するための保護絶縁膜 3 が、ソース電極 5 とドレイン電極 7 と  $n+$ Si 層 16 の表面の一部とを覆うように形成されている。保護絶縁膜 3 には、ドレイン電極 7 に設けられた IZO 層 10 に到達するように保護絶縁膜 3 を貫通するコンタクトホール 8 が形成されている。画素電極 4 は、コンタクトホール 8 を通ってドレイン電極 7 に設けられた IZO 層 10 と接続するように保護絶縁膜 3 上に形成されている。画素電極 4 は、透明な ITO によって構成されている。

## 【0042】

このように、画素電極 4 は保護絶縁膜 3 に形成されたコンタクトホール 8 を介してドレイン電極 7 と接続しており、ドレイン電極 7 はコンタクトホール 8 と対向するように互いに積層された Mo 層 9 と IZO 層 10 とを有しており、IZO 層 10 は Mo 層 9 に対してコンタクトホール 8 側に形成されている。

## 【0043】

図 4 に示すように、ゲート信号線 11 の表面の一部には、ゲート信号線 11 が酸化して高抵抗化することを防止するための酸化防止膜 18 が、ゲート絶縁膜 17 および保護絶縁膜 3 の側面ならびに保護絶縁膜 3 の表面の一部を覆うように形成されている。酸化防止膜 18 は、画素電極 4 を構成する材料と同じ材料である透明な ITO によって構成されている。

## 【0044】

このように構成された本実施の形態に係るアクティブマトリクス基板ユニットは、以下のようにして製造される。図 5～図 10 は、本実施の形態に係る液晶表示装置のアクティブマトリクス基板ユニットの製造方法を示す断面図である。図 5 (a)、図 6 (a)、図 7 (a)、・・・、図 10 (a) はそれぞれ図 2 に示す線 A-A に沿った断面図であり、図 5 (b)、図 6 (b)、図 7 (b)、・・・、図 10 (b) はそれぞれ図 2 に示す線 B-B に沿った断面図である。

## 【0045】

まず、図 5 (a) および図 5 (b) を参照すると、透明絶縁性基板によって構成されるアクティブマトリクス基板 1 上に、ゲート信号線 11 およびゲート電極 6 を構成する材料 TaN/Ta/TaN をスパッタ法等によって約 4000 オングストロームの厚みに成膜する。そして、マスク露光、現像およびドライエッチングによってゲート信号線 11 およびゲート電極 6 を所定のパターンに形成する。

## 【0046】

図 6 (a) および図 6 (b) を参照すると、次に、ゲート信号線 11 およびゲート電極 6 を覆うように、 $\text{Si}_x\text{N}_y$  によって構成されるゲート絶縁膜 17、半導体層 15 を構成する材料および  $n+\text{Si}$  層 16 を構成する材料を、合計の厚みが約 5000 オングストローム程度になるように CVD 法によって連続して成膜す

る。その後、マスク露光、現像、ドライエッチングおよび剥離によって半導体層 15 および  $n + Si$  層 16 を所定のパターンに形成する。

#### 【0047】

このように、薄膜トランジスタ 2 を形成すべき線 AA に沿った断面における領域にのみ半導体層 15 を構成する材料および  $n + Si$  層 16 を構成する材料を残し、ゲート信号線 11 をゲートドライバに接続する線 BB に沿った断面における領域においては、半導体層 15 を構成する材料および  $n + Si$  層 16 を構成する材料は、エッチングによってすべて除去する。

#### 【0048】

図 7 (a) および図 7 (b) を参照すると、ゲート絶縁膜 17 の上に、半導体層 15 および  $n + Si$  層 16 を覆うように 1500 オングストロームの厚みに Mo をスパッタ法によって成膜し、IZO を 100 オングストロームの厚みにスパッタ法によって連続して成膜する。そして、マスク露光、現像によってレジストパターンニングする。その後、例えば、硝酸 3 %、リン酸 73 % および酢酸 3 % の弱酸の混合液を使用して、Mo および IZO をウェットエッチングして、ソース信号線 12、Mo 層 9 と IZO 層 10 とによって構成されるソース電極 5 および Mo 層 9 と IZO 層 10 とによって構成されるドレイン電極 7 を形成する。Mo および IZO は、ともに、硝酸、リン酸および酢酸等の弱酸の混合液によってエッチングすることができるため、1 回のエッチングによって Mo 層 9 と IZO 層 10 とを同時に形成することができる。ゲート信号線 11 をゲートドライバに接続する線 BB に沿った断面における領域においては、Mo および IZO の両方ともエッチングによって除去する。そして、ソース電極 5 とドレイン電極 7 との間の Mo をドライエッチングすることによって、チャンネルを形成する。

#### 【0049】

図 8 (a) および図 8 (b) を参照すると、ゲート絶縁膜 17 の上に、ソース電極 5 とドレイン電極 7 と  $n + Si$  層 16 の表面の一部とを覆うように、 $Si_x N_y$  によって構成される保護絶縁膜 3 を CVD 法によって約 3500 オングストロームの厚みに成膜する。そして、保護絶縁膜 3 をマスク露光、現像によってレジストパターンニングする。



## 【0050】

図9(a)および図9(b)を参照すると、 $CF_4$ と $O_2$ との混合ガスを使用し、ドレイン電極7に設けられたIZO層10の上の保護絶縁膜3をドライエッチングしてコンタクトホール8を形成し、同時にゲート信号線11の上方に形成された保護絶縁膜3をドライエッチングする。さらに、ゲート信号線11の上に形成されたゲート絶縁膜17を連続してドライエッチングしてゲート信号線11の表面の一部を露出させる。

## 【0051】

図10(a)および図10(b)を参照すると、保護絶縁膜3の上に、ITOをコンタクトホール8、露出されたゲート信号線11、ゲート絶縁膜17の側面および保護絶縁膜3の側面を覆うようにスパッタ法によって成膜する。そして、マスク露光、現像によってレジストパターンニングをITOに施した後、塩化第2鉄によってエッチングし、画素電極4および酸化防止膜18を形成すると、本実施の形態に係るアクティブマトリックス基板ユニットが完成する。

## 【0052】

ゲート信号線11がゲートドライバ13に接続する線BBに沿った断面における領域においては、保護絶縁膜3のみならずゲート絶縁膜17をもエッチングする必要があるために、保護絶縁膜3のみをエッチングする線AAに沿った断面における領域においては、エッチングに本来必要な時間よりも長い時間保護絶縁膜3をエッチングすることになる。本実施の形態においては、ドレイン電極7の保護絶縁膜3側の表面がMoではなくIZOによって構成されるIZO層10によって形成されているために、本来必要な時間よりも長い時間保護絶縁膜3をエッチングしたとしても、ドレイン電極7の保護絶縁膜3側の表面は、ドライエッチングによってダメージを受けず、コンタクトホール8がドレイン電極7の内部に延伸するように形成されることがない。このため、画素電極4は、ドレイン電極7の表面と接続するので、画素電極4はドレイン電極7と安定してコンタクトする。

## 【0053】

以上のように本実施の形態によれば、画素電極4は、保護絶縁膜3に形成され

たコンタクトホール8を介してドレイン電極7と接続しており、ドレイン電極7は、コンタクトホール8と対向するように互いに積層された金属膜であるM<sub>o</sub>層9と非晶質導電性酸化物であるIZO層10とを有している。IZO層10は、M<sub>o</sub>層9に対してコンタクトホール8側に形成されている。

## 【0054】

このため、ドレイン電極7の保護絶縁膜3側の表面は、IZO層10によって形成されているために、ドライエッチングによってダメージを受けず、コンタクトホール8はドレイン電極7の内部に延伸するように形成されない。従って、画素電極4はドレイン電極7の表面と接続するので、画素電極4はドレイン電極7と安定してコンタクトする。

## 【0055】

その結果、従来技術のようにコストならびにマスク露光数およびエッチング回数を増加させることなく、画素電極4とドレイン電極7との間における安定したコンタクトを得ることができる。

## 【0056】

図11は、本実施の形態に係る液晶表示装置を構成する他のアクティブマトリックス基板ユニットの断面図であり、図2に示す線AAに沿った断面図である。図3を参照して前述したアクティブマトリックス基板ユニットの構成要素と同一の構成要素には同一の参照符号を付している。これらの構成要素の詳細な説明は省略する。図3を参照して前述したアクティブマトリックス基板ユニットと異なる点は、IZO層10がM<sub>o</sub>層9に対してアクティブマトリックス基板1側に形成されたドレイン電極7Aおよびソース電極5Aを有している点である。

## 【0057】

ゲート信号線11がゲートドライバ13に接続される線BBに沿った断面における領域においては、保護絶縁膜3のみならずゲート絶縁膜17をもエッチングする必要があるために、線AAに沿った断面における領域において、エッチングに本来必要な時間よりも長い時間保護絶縁膜3をエッチングすると、保護絶縁膜3に接するように形成されたM<sub>o</sub>層9もエッチングされる。しかしながら、M<sub>o</sub>層9の下に形成されたIZO層10は、ドライエッチングによってダメージを受

けず、コンタクトホール 8 は M o 層 1 0 の内部に延伸するように形成されない。  
このため、画素電極 4 は、ドレイン電極 7 A に設けられた M o 層 1 0 の表面と接  
続するので、画素電極 4 はドレイン電極 7 A と安定してコンタクトする。

#### 【 0 0 5 8 】

#### 【発明の効果】

以上のように本発明によれば、コストおよびプロセスを増加させることなく、  
画素電極とドレイン電極との間における安定したコンタクトを得ることができる  
液晶表示装置および液晶表示装置におけるアクティブマトリクス基板の製造方法  
を提供することができる。

#### 【図面の簡単な説明】

#### 【図 1】

本実施の形態に係る液晶表示装置を構成するアクティブマトリックス基板ユニ  
ットを模式的に示す平面図である。

#### 【図 2】

本実施の形態に係る液晶表示装置を構成するアクティブマトリックス基板ユニ  
ットの要部の構造を示す平面図である。

#### 【図 3】

図 2 に示す線 A A に沿った断面図である。

#### 【図 4】

図 2 に示す線 B B に沿った断面図である。

#### 【図 5】

本実施の形態に係る液晶表示装置の製造方法を示す断面図である。

( a ) は、図 2 に示す線 A A に沿った断面図であり、

( b ) は、図 2 に示す線 B B に沿った断面図である。

#### 【図 6】

本実施の形態に係る液晶表示装置の製造方法を示す断面図である。

( a ) は、図 2 に示す線 A A に沿った断面図であり、

( b ) は、図 2 に示す線 B B に沿った断面図である。

#### 【図 7】

本実施の形態に係る液晶表示装置の製造方法を示す断面図である。

- (a) は、図 2 に示す線 A A に沿った断面図であり、
- (b) は、図 2 に示す線 B B に沿った断面図である。

【図 8】

本実施の形態に係る液晶表示装置の製造方法を示す断面図である。

- (a) は、図 2 に示す線 A A に沿った断面図であり、
- (b) は、図 2 に示す線 B B に沿った断面図である。

【図 9】

本実施の形態に係る液晶表示装置の製造方法を示す断面図である。

- (a) は、図 2 に示す線 A A に沿った断面図であり、
- (b) は、図 2 に示す線 B B に沿った断面図である。

【図 10】

本実施の形態に係る液晶表示装置の製造方法を示す断面図である。

- (a) は、図 2 に示す線 A A に沿った断面図であり、
- (b) は、図 2 に示す線 B B に沿った断面図である。

【図 11】

本実施の形態に係る液晶表示装置を構成する他のアクティブマトリックス基板ユニットの断面図であり、図 2 に示す線 A A に沿った断面図である。

【図 12】

従来の液晶表示装置を構成するアクティブマトリックス基板ユニットを模式的に示す平面図である。

【図 13】

従来の液晶表示装置を構成するアクティブマトリックス基板ユニットの要部の構造を示す平面図である。

【図 14】

図 13 に示す線 P P に沿った断面図である。

【図 15】

図 13 に示す線 Q Q に沿った断面図である。

【図 16】

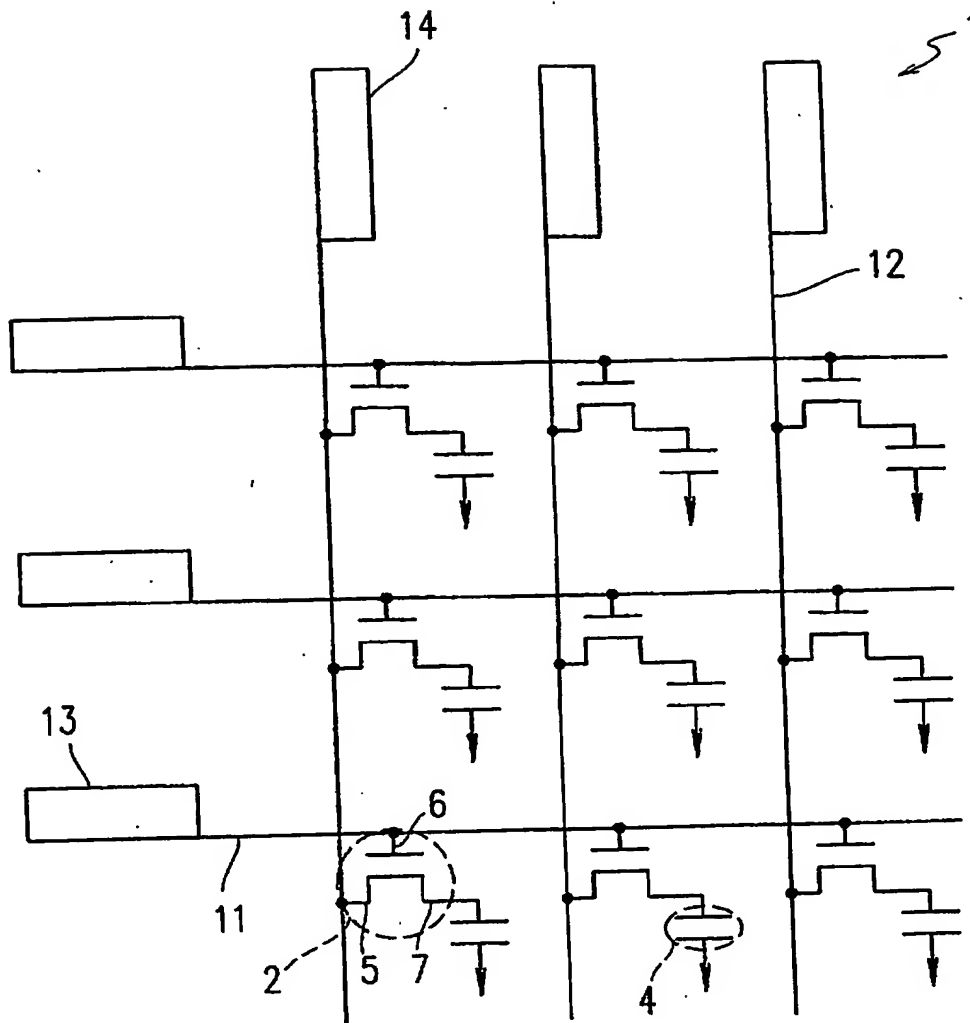
従来の液晶表示装置を構成する他のアクティブマトリックス基板ユニットの要部の構造を示す断面図であり、図13に示す線PPに沿った断面図である。

【符号の説明】

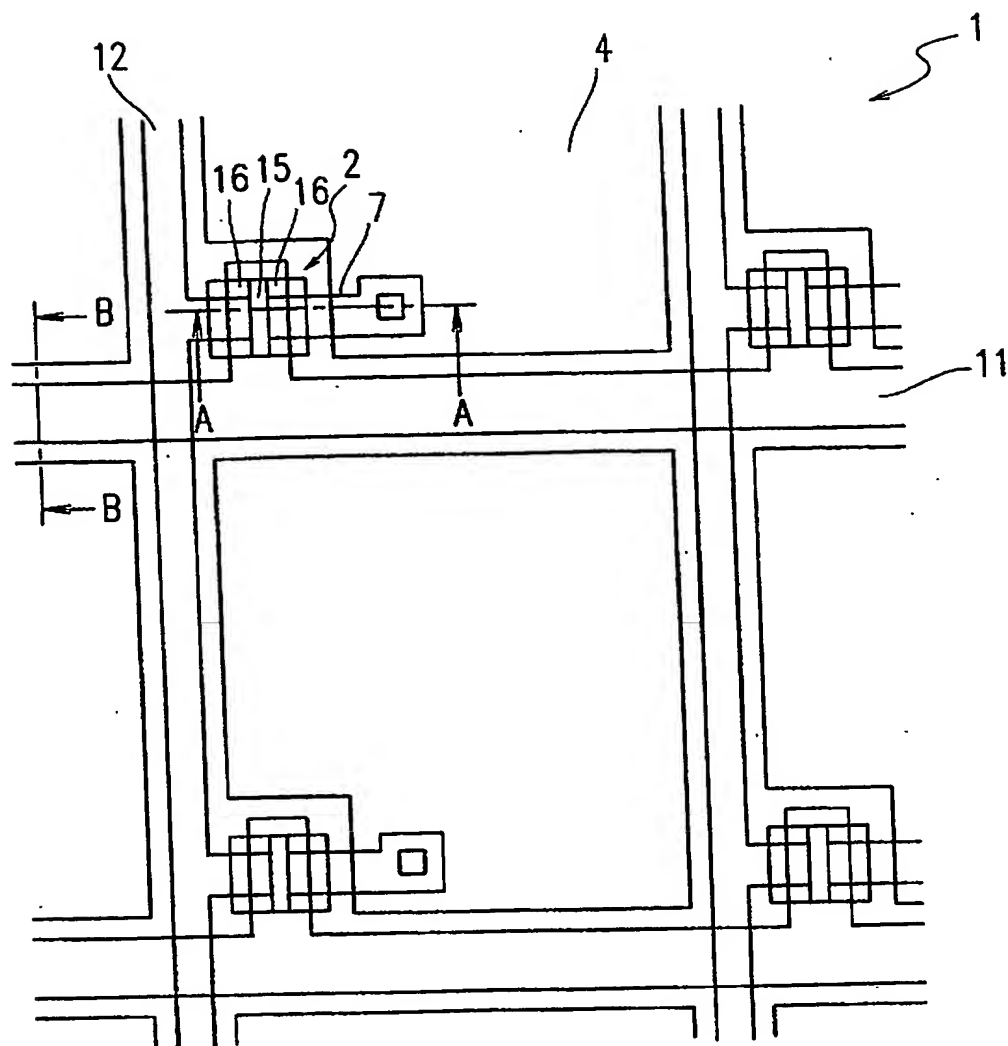
- 1 アクティブマトリックス基板
- 2 薄膜トランジスタ
- 3 保護絶縁膜
- 4 画素電極
- 5 ソース電極
- 6 ゲート電極
- 7 ドレイン電極
- 8 コンタクトホール
- 9 Mo層
- 10 IZO層
- 11 ゲート信号線
- 12 ソース信号線
- 13 ゲートドライバ
- 14 ソースドライバ
- 15 半導体層
- 16 n+Si層
- 17 ゲート絶縁膜
- 18 酸化防止膜

【書類名】 図面

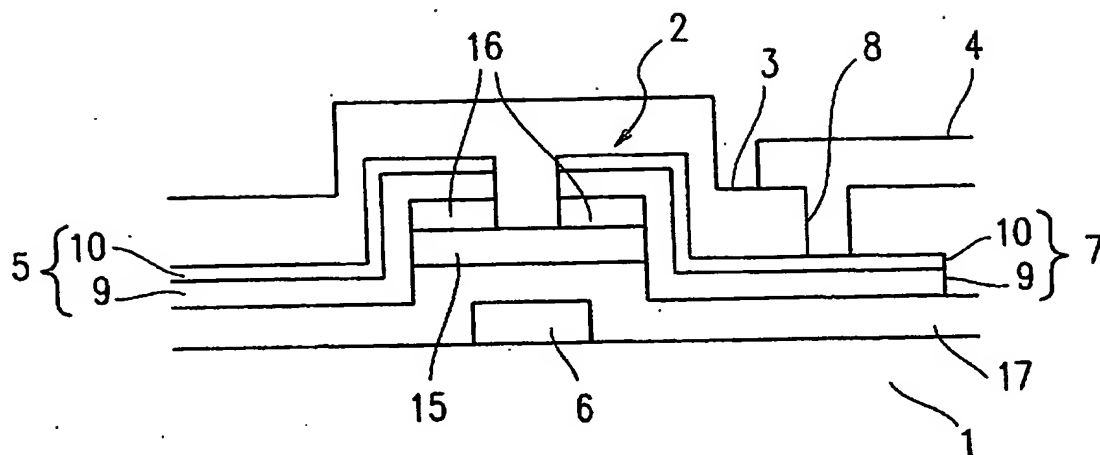
【図 1】



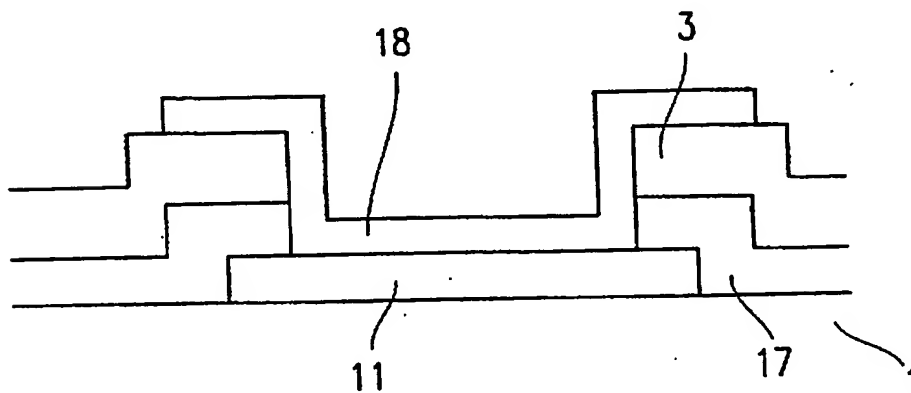
【図2】



【図 3】

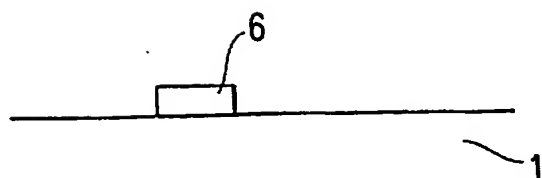


【図 4】

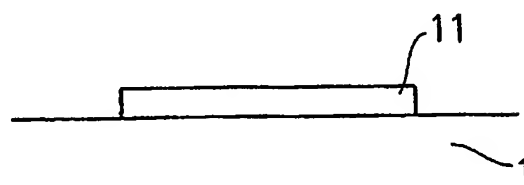


【図 5】

(a)

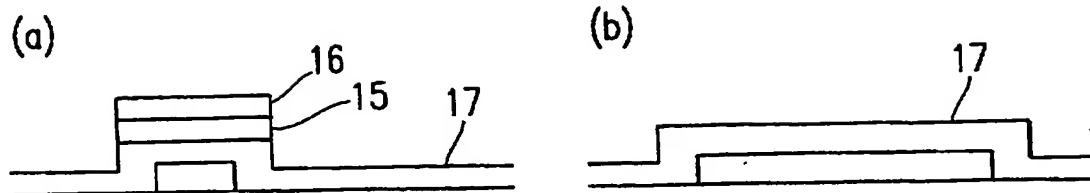


(b)

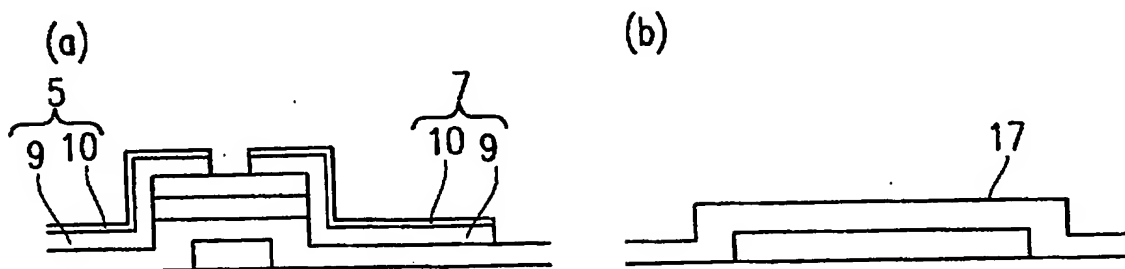




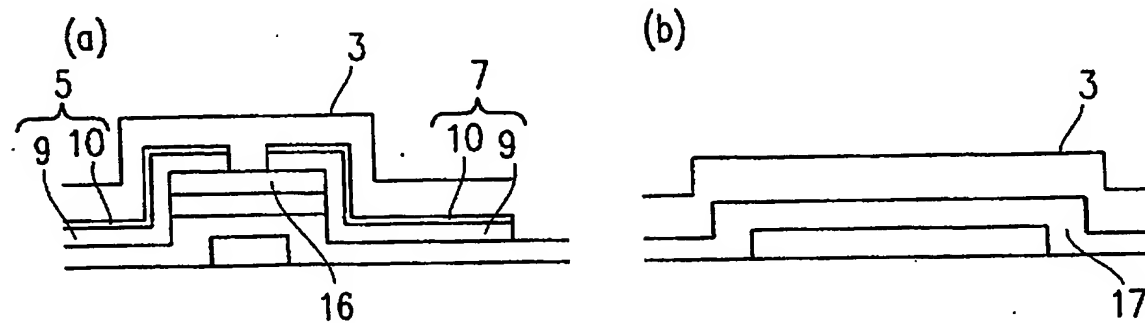
【図 6】



【図 7】



【図 8】





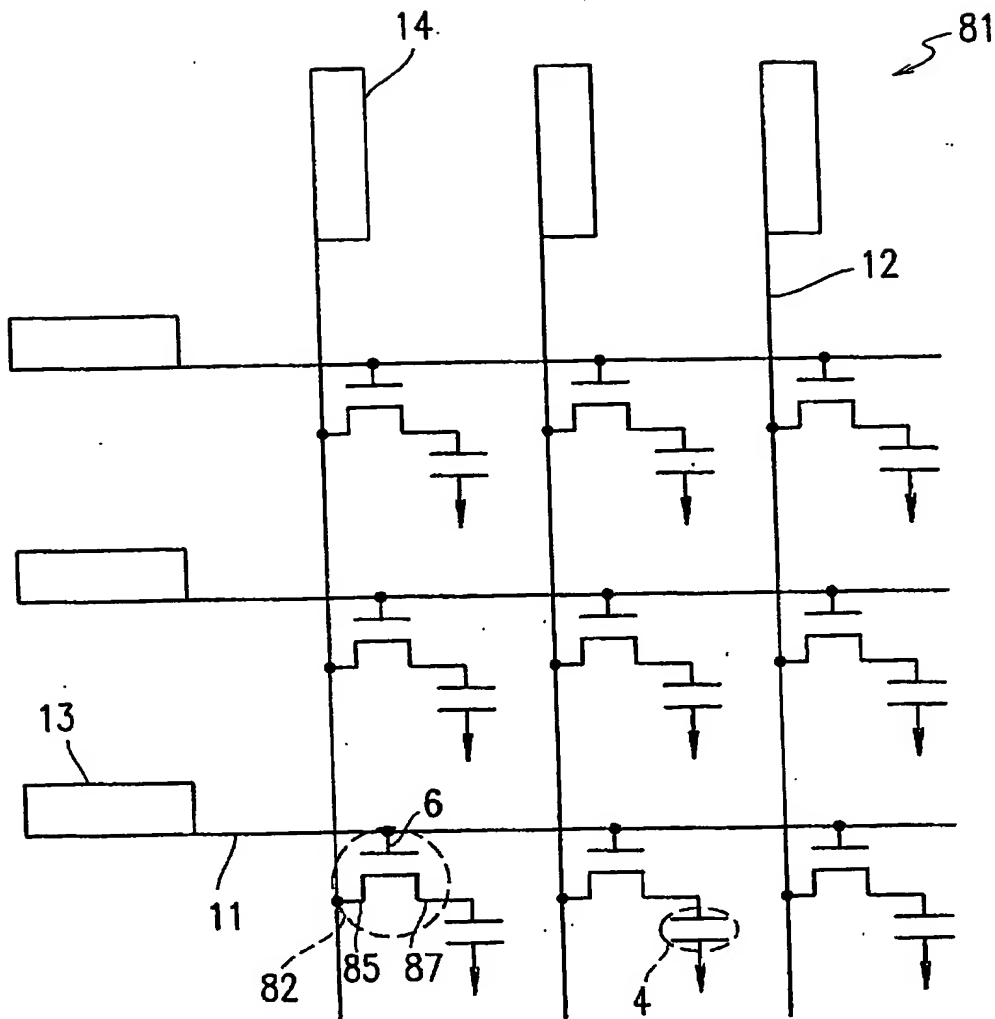
【図 10】



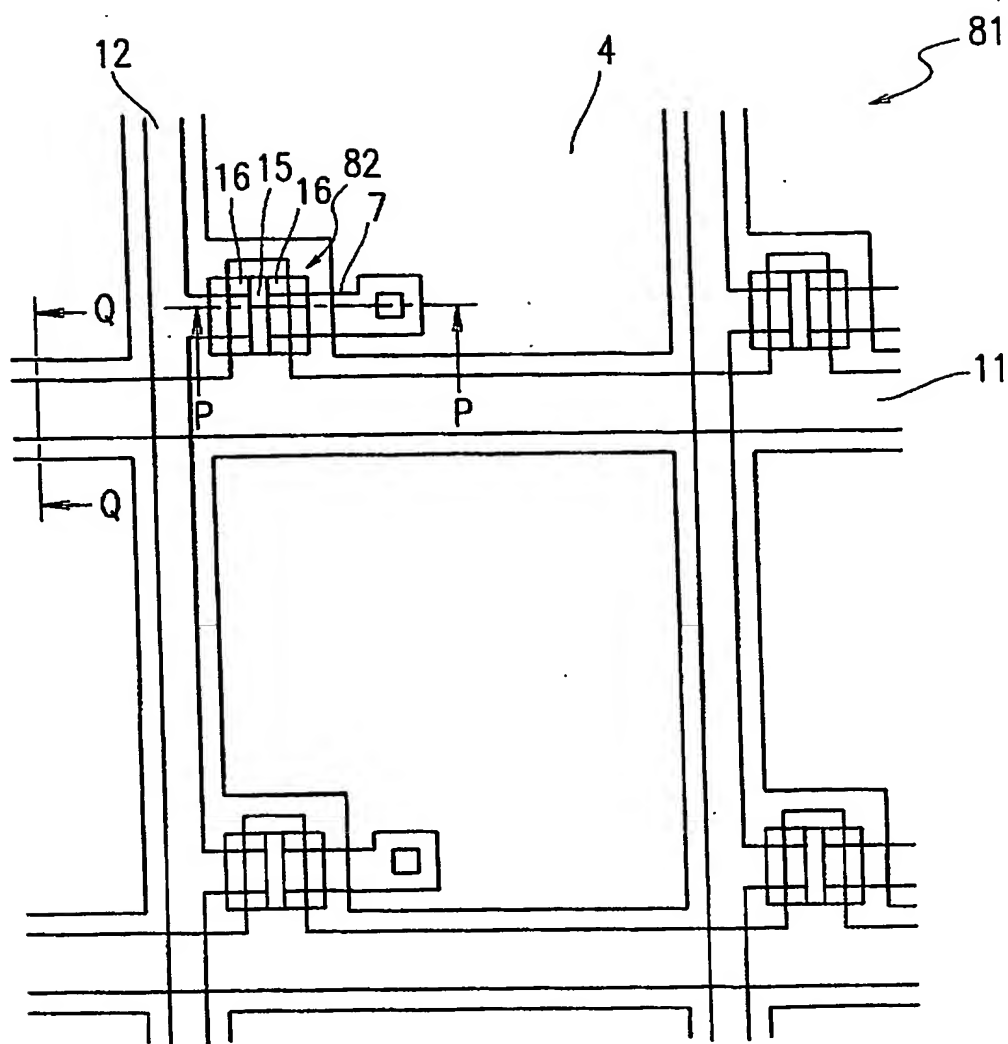
【図 1 1】



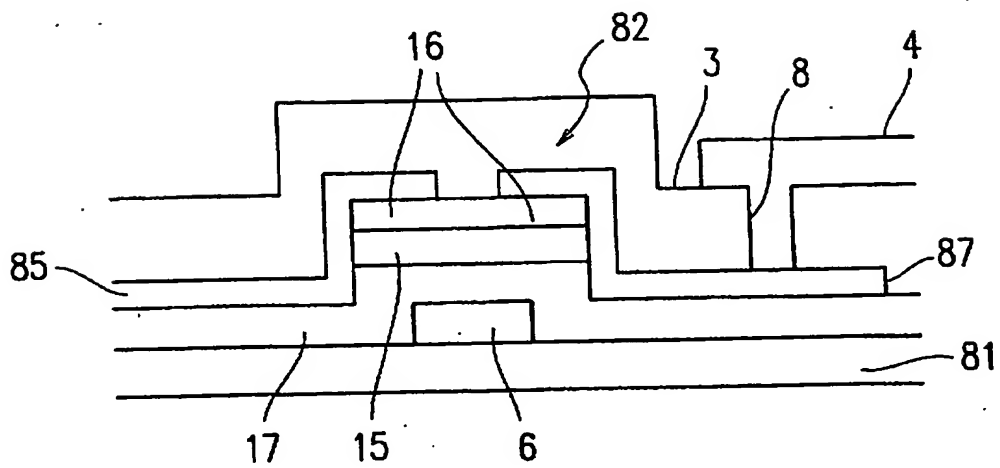
【図 12】



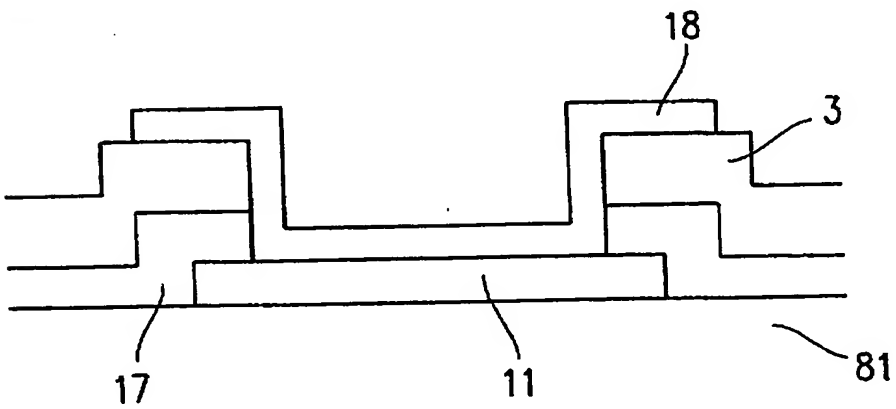
【図13】



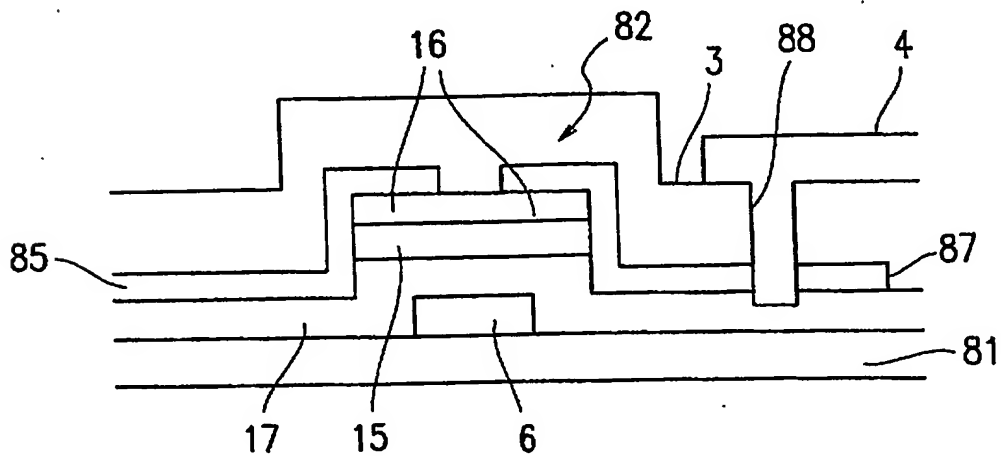
【図14】



【図15】



【図16】



【書類名】 要約書

【要約】

【課題】 画素電極とドレイン電極との間における安定したコンタクトを得ることができる液晶表示装置を提供する。

【解決手段】 液晶表示装置は、複数の薄膜トランジスタと、各薄膜トランジスタを覆うように形成された保護絶縁膜と、各薄膜トランジスタのオンによって映像信号に対応する電圧を液晶に印加するために保護絶縁膜上に形成された複数の画素電極とを具備し、各薄膜トランジスタには、映像信号に対応する電圧が印加されるソース電極と、走査信号に応じてオンオフされるゲート電極と、ゲート電極のオンによって電圧を各画素電極にそれぞれ供給するドレイン電極とが形成され、各画素電極は、保護絶縁膜に形成されたコンタクトホールを介して各薄膜トランジスタのドレイン電極とそれぞれ接続しており、ドレイン電極は、コンタクトホールと対向して互いに積層された金属膜と非晶質導電性酸化物とを有する。

【選択図】 図 3

出 願 人 履 歴 情 報

識別番号

[000005049]

1. 変更年月日

1990年 8月29日

[変更理由]

新規登録

住 所

大阪府大阪市阿倍野区長池町22番22号

氏 名

シャープ株式会社

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☒ BLACK BORDERS
- ☒ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☒ SKEWED/SLANTED IMAGES
- ☒ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☒ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**